

# IC 産業と技術の現状と将来

東京農工大学電子工学科

教授 垂井康夫

## 1. はじめに

去年 1985 年は半導体需給が大幅に緩和された年として記録的なものとなった。従来から 4 年周期の波は経験されている所であるが 1985 年は大きい谷となった。

その理由は、長期にわたっての技術進歩の予想と、これにともなう需要の成長予想が明らかになり、加えて 84 年の IC 需要の急増と IC 不足が半導体メーカー各社の強気な設備投資と、他産業からこの分野への参入を促すことになって、これが 85 年になって急速な需給の緩和をきたしたものである。

しかしながら、この場合は産業が成熟してから生じる不況とは違って、長期にわたる技術進歩の予想と需要の拡大には大きい変化はないもので、一時的な需給のアンバランスと見られる。幸いに本年 2 月には米国における B/B レンゾも 1 を超え、本年は回復に向うものと見られている。

とは云え、今後はより技術進歩と新しい需要の開拓の競走は激しくなると見られており、現実にはたとえば DRAM の研究発表についていえば、1M ビットの発表が 1984 年であったから 2 年に倍、あるいは 3 年に 4 倍の従来からのトレンドを破って本年 2 月の ISSCC で 4M ビットが発表されてしまった。

すなわち技術の進歩は着々と進められ、その競争は激しくなるから製造設備についての設備投資が少ない割には技術進歩の要求されるきびしい時代がしばらく続くと思われる。従来からの 4 年周期もいつも新しい技術発展や需要の開発にともなうそのピークが作られている点に注意を要すると思われる。

需要の開発についていうならば、著者はかねがね大規模の消費者需要をねらうにはフルブルーの装置であるべきであると主張している。従来の例でいうならば、カラーテレビ、VTR いずれも、だれにも使えて、しかも高級な機能をはたしている。この点、現在の需給緩和の一因にパソコンの不振がいわれているが、これはパソコンにフルブルーの配慮がまだ足りない点が普及に頭打ちを生じさせているのではないかと思われるのである。フルブルー化には多数の IC を必要としているし、パソコンとは限らず新しいフルブルー装置の開発によって大きい需要が生れてくるとと思われる。

今後、画像と音声についての大量のメモリーを必要とする装置の開発が、大量の超 LSI の需要にとって必要とされている。

## 2. 昨年 2 月発表の 1M DRAM

本格的な超 LSI と見られる 1M ビット DRAM は一昨年の ISSCC において国内 3 社から発表されたが、昨年 2 月の ISSCC においては表 1 に示すように国内 5 社米国 3 社から合計 9 件の発表があった<sup>1)~9)</sup>。このように多くの会社が同一品種を ISSCC で発表することは初めてのことと思うが、それだけこの品種が重要なものであって各社が力を入れているということが分る。

高集積化においては、微細加工技術の改良による最小線幅の微細化が大きい役割を持っている。表 1 でも、これに対応するデザインルールが 1~1.5  $\mu\text{m}$  の内にあり、1.2~1.3  $\mu\text{m}$  辺りが多い。

最小線幅とともにウェハの表面を有効に使うための立体化が重要な因子となりつつある。

表 1 1985年 ISSCC 発表の 1 M ビット DRAM

	富士通	日立製作所	三菱電機	日本電気	東芝	IBM	AT&T	モステック	
プロセス技術	NMOS	CMOS	CMOS	NMOS	CMOS	NMOS	NMOS	CMOS	CMOS
デザインルール( $\mu\text{m}$ )	1.4	1.3	1.2	1	1.2	1.2	1~1.5	1.3	1.2
セル面積( $\mu\text{m}^2$ )	26.5	24.1	35.7	20.4	34.2	32.0	36.0	36.8	36
チップ面積( $\mu\text{m}^2$ )	54.7	47.3	65	43.2	62.5	63.2	57.8	69.6	68
消費電力(mW)	350	230	350	345	150	270	625	160	—
動作時待機時	15	1.5	15	14	1.5	15	50	0.5	—
キャパシタ形式	積み上げ形	溝掘り形	プレーナ形	溝掘り形	プレーナ形	溝掘り形	プレーナ形	プレーナ形	プレーナ形
冗長構成	—	—	0	—	0	0	0	0	0
セル面積(デザインルール) <sup>2</sup>	13.5	14.2	24.8	20.4	23.7	22.2	36~16	21.7	25.0

表1に見られるように、従来からのプレーナ形を用いているものも5件あるが、ウェハに幅の狭い溝(トレンチ)を掘ってその溝の内面にキャパシタンスを構成する方法が国内3社から発表されている。この溝掘り形は最初、電気的分離法としてLOCOS法などの改良として提案されたものであるが、溝掘りによって表面積が増す点がキャパシタンスにも利用されているわけである。溝はキャパシタンスとして使えると同時に電気的分離にも併用することができる。

表1の一番下の欄はセル面積をデザインルールの2乗で割ったもので、セルサイズによらずに構成法の効率を示し、その数が小さいほど面積をとらない方式であるが、溝掘り形とプレーナ形との効率の比は2倍以下である。これは現在の所、溝の深さをあまり大きく取っていない点にも原因があると思われるが、まだ溝掘り形の可能性を十分に引き出していない点もあると思われる。

表1に示されているいまひとつのキャパシタ形式は富士通によって発表された積み上げ形である。これはMOSトランジスタの上面にキャパシタを積み上げるものである。表1の一番下の欄に示すように、この場合が一番構成方法の効率がよいことを示している。

この種の積み上げ形で酸化タンタルなどの高誘電率の材料を用いた方法は超LSI共同研究所からもQSA-SHCの名で発表されている<sup>10)</sup>。

その検討によれば、この方式の場合、表1の一番下の欄の欄の効率は理想状態で「6」まで可能であることが示されており、セルサイズを小さくするのに有望である。われわれは現在、この種の目的のために酸化タンタル光CVDによって析出する実験を行っている<sup>11)</sup>。この用途では絶縁膜のリーク電流が重要で、この方法で現在までに通常のスパッタ、熱CVDよりもリーク電流の少ない膜の析出に成功している。さらに昨年、厚木通研からスパッタによってもターゲットのタンタルの純度と、チェンバの清浄度を上げるならばリーク電流をきわめて小さくすることができることが発表され<sup>12)</sup>、酸化タンタルも純度の向上によってこの種の用途への可能性が出てきた。

これら1M DRAMの開発を契機にいろいろと開発された技術はいろいろ選択と改善、さらには量産技術データの蓄積を経て使われると見られ、4M DRAMまでは技術的な見通しも良くなった。

### 3. 本年2月発表の4M DRAM

かくして1986年2月のISSCCにおいて4M DRAMが表2に示すように国内の2社、米国1社から発表された。

表1とくらべると、セル面積/(デザインルール)<sup>2</sup>の向上が目立っている。特にTIのものにおいては9となって理論限界に近づいて来た。

表 2 1986 ISSCC 発表 4M DRAM

	日本電気	東芝	TI
プロセス技術	NMOS	CMOS 周辺	CMOS 周辺
デザインルール ( $\mu\text{m}$ )	0.8	1.0	1.0
セル面積 ( $\mu\text{m}^2$ )	10.58	17.4	9
チップ面積 ( $\text{mm}^2$ )	99.2	137	50.3
消費電力 (mW)			
動作時	425	300	225
待機時	15	2.5	4
キャパシタ形式	トレンチ (BSE)	トレンチ	トレンチ
セル面積 (デザインルール) <sup>2</sup>	16.6	17.4	9
	エビ使用		トレンチ トランジ スタ

デザインルールは意外と予想程小さくなっていない。これはリソグラフィ技術の進歩によって制限されており、セル構造、大面積化するなわち欠陥をへらす技術によってカバーしていると思われる。

このことは光学マスクの使われる期間がさらに長くなることを意味しており、おそらく16M DRAM についても光学マスクによって作られる可能性が出て来たと見ている。しかしキャパシタンスの大きさについてはビット数が増えたと共にさらに困難さは増しつつある。

#### 4. キャパシタンスのスケージング

キャパシタンスの問題をスケージングの立場から見なおして見よう。MOS トランジスタのスケージングはよく知られている所で1次近似で表3に示される。すなわち、寸法を  $1/K$  として同時に印加電圧も  $1/K$  とするとともに不純物濃度  $N_B$  を  $K$  倍にするドレインの空乏層も  $1/K$  に比例縮小されて、トランジスタの動作と特性の多くが表3に示すように簡単な比率で縮小され、伝播時間  $t_{pd}$  も  $1/K$  に、ゲートキャパシタンスなども  $1/K$  となってトランジスタはより高速となるのである。これが DRAM の集積度が桁違いに大きくなって、駆動するセルも桁違いに多くなっているにもかかわらず、アクセス時間などの速度があまり遅くならないのは、この微細化によるトランジスタ特性の向上

表 3 MOS トランジスタの比例縮小特性による変化

寸法	$L, t_{ox}$ など	$1/K$
電圧	$V_{DP}$	$1/K$
不純物濃度	$N_B$	$K$
伝播時間	$t_{pd}$	$1/K$
キャパシタンス	$C1/K$	$1/K$
消費電力	$P$	$1/K^2$
電気抵抗	$R$	$K$

によっているのである。

さて、DRAM の記憶容量については放射線によるいわゆるソフトエラーなどの対策上、最低限の容量が必要とされている。これに対してキャパシタンスは比例縮小すると表2のように  $1/K$  となってしまうのである。そこでキャパシタンスの部分のみは面積を広くする対策が前項に述べたトレンチその他である。

したがって表2に示した諸量の変化で、微細化しても特性が悪くならない記憶容量の使い方があれば望ましいわけである。これに対応するのが Gain Cell と見られるのである。その例は TI 社から一昨年8月の固体素子・材料コンファレンスで発表<sup>13)</sup> され、12月の IEDM にもワードラインを2本から1本にした改良形を含めて発表され、ポリシリコントランジスタの詳細も含めた論文も昨年の2月に発表された<sup>15)</sup>。

この Gain Cell の構造例を図1に示す。(a) は2つのワードラインを使うもので、(b) は1つのワードラインを使うものである。いずれも斜線部はポリシリコンによる導体部で記憶電荷はセンストランジスタのゲートに蓄積され、その電荷の充放電は SOI 構造に作られたポリシリコントランジスタによって行われる。一方、1か0かを判別するセンシングはセンストランジスタに電流が流れるかどうかによって行われるからゲートに蓄積された記憶電荷がなくなるわけではない。

さて、この方式がキャパシタンスのスケージングと見なせる点を説明しよう。まず充放電するセンストランジスタのゲートキャパシタンスは表2の通り  $1/K$  となる。これを充放電する SOI のトランジスタはスケージングによって特

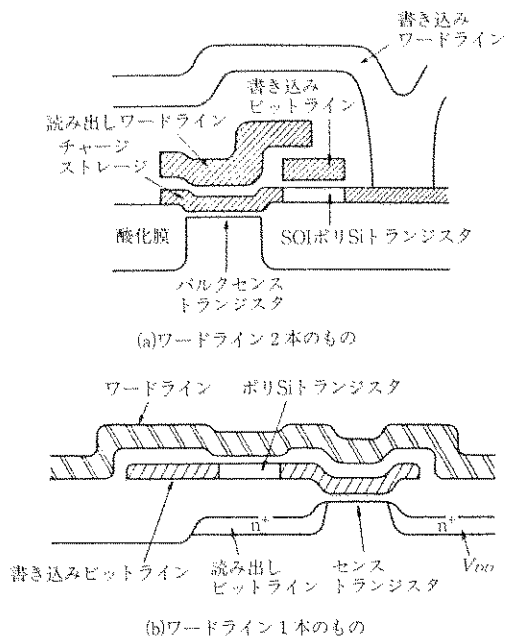


図 1 TI 社の発表した Gain Cell 構造

性も良くなるが、電流  $1/K$  で同じ速度で充放電できるのでトランジスタの特性がよくなった分だけ高速化さえできるのである。さらに好都合なことは絶縁物中のフローティングゲートに電荷を蓄積するから放射線によるソフトエラーが少なく、それが当分限界にならない点である。

なおこのポリシリコントランジスタは現在 LSI プロセスとコンパチブルということで採用したものであり、ポリシリコントランジスタが相当の特性と再現性で作り得ることを示した点も意義があるが、このトランジスタが単結晶の SOI 化されれば書き込み時間などももちろん改善されるもので、SOI 技術の進歩とともにこの方向に向うと見られる。

さらに、このセル構造にはまだ配線の数が多いなどの問題もあり、今後多くの改良がなされて行くものと思われるが、いずれにせよ 16 M ビット以上においては微細化と共に記憶容量が苦しくならない構造、記憶機構が微細化によってスケールされるような機構が望ましいのである。今後はトレンチ、高誘電材料、ゲインセルなどの内、もっとも工学的要求を充したも

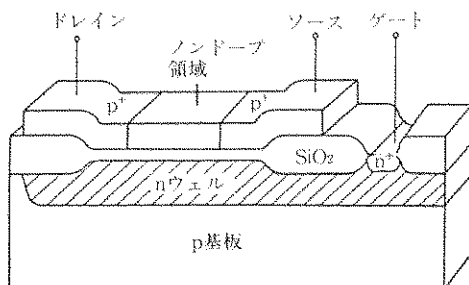


図 2 日立の CMOS EPROM に使われている多結晶のシリコン RAOS トランジスタ

のが採用されて行くと考えられる。

### 5. 多結晶で始まった SOI

上記の TI の発表はキャパシタンスの微小化の方法を提案した点とともに、現在の LSI 工程のコンパチブルな多結晶シリコントランジスタを使えば SOI 構造が実用可能であることを示した点も注目される。

しかし、この点に関して日立も多結晶シリコン PMOS トランジスタを 256K ビットの CMOS EPROM に使っている<sup>19)</sup>。しかも、こちらは 64 K ビットから使っており、すでに市場に出しているとのことで、実用化という点からは一歩先といえる。ここで使われたトランジスタは図 2 に示すように基板の n ウェルがゲートで SiO<sub>2</sub> 上で多結晶にソースとドレインを作ったもので、通常のシリコンゲート構造とのコンパチビリティはきわめてよいものである。

しかし、多結晶であるため当然ながら正孔の移動度も小さく、高速特性を得るのは困難である。したがって適切なる使い方である。日立では、CMOS 化 EPROM のラッチアップで特に問題となるプログラム時に高電圧を使用することと、メモリセルから基板電流が流れることがラッチアップの誘発原因となることを避けるために、この多結晶トランジスタを用いている。

すなわちプログラムの書き込み時間はもともと 1 ms と遅い。したがって、この多結晶シリコン PMOS トランジスタによって書き込み時にワード線を充電するのに 10 μs もかかるが書き込み時間にくらべればずっと短いから無視できるのである。一方、このラッチアップ対策

によって周辺回路には  $2\ \mu\text{m}$  ルールの微細な CMOS が使え、チップ面積の増加を NMOS の 1.1 倍程度に抑えることができたとのことである。

以上のように SOI および 3 次元化は、それが有効である回路について、実現が経済的に有効なる方法を使って着実に進められつつある。これらの回路はいずれもトランジスタの移動度が増加すればいずれもその適用範囲が広がるもので、今後の SOI 技術の進歩が待たれるところである。

昨年 8 月の固体素子・材料コンファレンスの Late News でソニーから多結晶トランジスタの高移動度化が発表されている<sup>17)</sup>。これは TEM-PAX ガラス上に析出された a-Si:H を XeCl エキシマレーザ (308 nm, 35 ns) で照射することによって多結晶化したものを用いる。a-Si:H における 308 nm 光の吸収係数は  $1 \times 10^6\ \text{cm}^{-1}$  であるためにレーザのエネルギーはフィルムの表面から 2000 Å で吸収される。このためガラス基板をあまり加熱することなくシリコンを多結晶化できるのみならず、多結晶シリコンはその結晶粒界に多くの水素を含むことになる。これによって多結晶粒界の特性は改善され、電気特性も改善される。試作されたトランジスタの特性は閾値電圧は若干高いが、移動度は  $96\ \text{cm}^2/\text{V}\cdot\text{s}$  と多結晶としては高い値を得ている。

## 6. レーザービームによる単結晶 SOI

レーザビーム、電子ビームによる単結晶 SOI も次世代プロジェクトの“3次元回路”をはじめとして各所で進められている。

ビーム照射によって熔融部分を走査して行くとき注意すべき点は熔融部分の両端から固化すると、ビームの中心で両端からの固化がぶつかり合って境界ができてしまう点である。これを避けるひとつの方法は 2 つのレーザビームを近接してデュアルレーザビーム (DLB) として走査することである。この場合は固化は DLB の中心から両端に進むから中心に境界ができない。この方向は 1 つのレーザからの光を分ける方法で日電から提案されているが、今回、松下

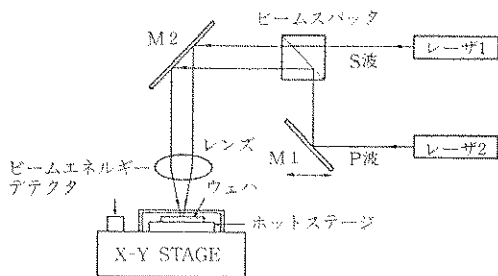


図 3 2 つのレーザを用いた DLB アニールの装置

電器から図 3 のように 2 つのレーザを用いた方法が発表された<sup>18)</sup>。

1 つのビーム径を  $12\ \mu\text{m}$ 、パワーを 3 W に固定すると  $10\sim 16\ \mu\text{m}$  の多結晶島に対して最適のビーム間距離は  $21\sim 23\ \mu\text{m}$  であり、この条件によって種なしでもほぼ単結晶化する。この方法によって種なしでもほぼ単結晶化する。この方法は 3 インチウェハ内  $5 \times 5\ \text{cm}$  内に  $12 \times 100\ \mu\text{m}$  の島を DLB 法によって再結晶化した結晶 70% 以上が単結晶となった。再結晶化した島の面方位は (110) が 65%, (111) が 7%, (100) が 4%, その他 24% であった。

同じく種なしでダブルレーザアニールによる 2 ステップアニール法の実験が日電で進められている<sup>19)</sup>。2 ステップアニール法と呼ぶものは図 4 に示すように最初 X 方向に走査して、基板に垂直方向に <100> 方向に配向した texture を形成した後、Y 方向に走査して横方向成長を行うものである。最初は X 方向を Nd:YAG レーザを用いていたが、波長が長く、シリコン膜に対する吸収長が大きいく、3 次元回路素子形成に

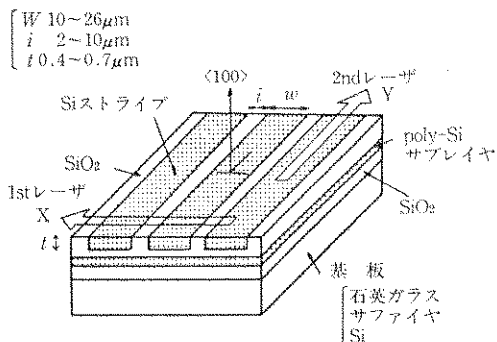


図 4 2 ステップアニール法による SOI の製作法

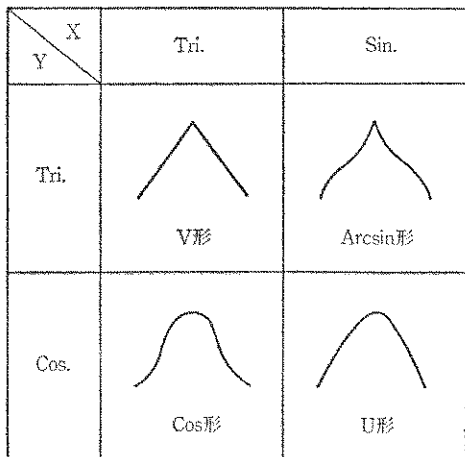


図 5 X軸, Y軸走査の組み合わせで作られる擬似線状図形 (Y軸の走査はX軸の2倍の周波数で行われる)

不向きであるので, 今回X方向, Y方向いずれも Ar レーザを用いた方式を開発した. 特に注意すべき点は熱伝導率が高い基板上では固相と液相が共存する状態で液相の supercooling が起きにくく, <100> 結晶粒が十分に競合成長するためには dwell time を長くとる必要があるとのことである.

種結晶を使って SOI 単結晶を作る場合でも, 単なる円形レーザービームを使うと固化が固液界面に垂直の方向に起こるから, 走査方向と直角方向への固化の成分が出て, 種結晶の方位は種結晶から  $10\ \mu\text{m}$  程度しか続かない. これを避けるために日立では走査方向に直角な方向からすこし傾けた線状ビームを用いた結果, 種結晶から  $20\ \mu\text{m}$  以上の単結晶領域が作れることを報告<sup>20)</sup>している.

## 7. 電子ビームによる単結晶 SOI

レーザービームアニールは電子ビームアニールにくらべて真空が要らないなどの簡便さからより多く使われている. しかし電子ビームの方は熱時定数にくらべて十分に短い時間で走査できることから任意のビーム形状を走査で作る擬似線状ビームと呼ぶ方法をとることができる点はレーザービームにくらべて利点である. この方向の2つの発表が固体素子コンファレンスで行われ

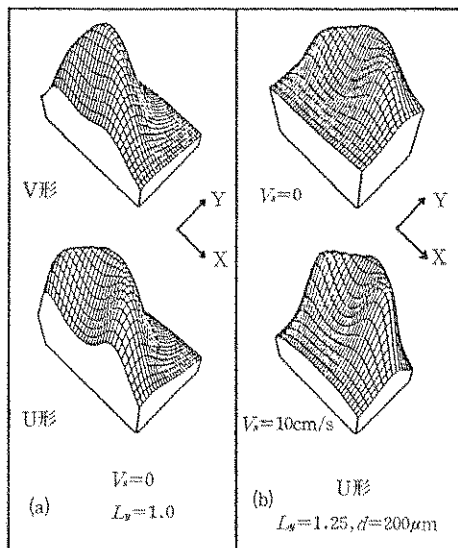


図 6 (a) U, V形の加熱によってできる実際の温度分布 (移動なし), (b) U形の場合の移動0と100 cm/s のときの比較

ている. 1つは東工大<sup>21)</sup>からのもので図5のような形状をY軸周波数をX軸周波数の倍に走査することによって形成する. 計算による温度分布は図6に示される. (a)は移動速度が零のときのV形とU形の比較でU形の方が温度の一定性がよいことが分かる. (b)はU形について移動速度を変えて変化を見たもので移動した方がより温度は平坦となっている.

擬似線状ビームの走査波形のコントロールに関する今1つの報告は東芝<sup>22)</sup>からのものである. この場合は直線状に走査するものであるが, その走査を正弦波形で走査すると, 走査の両端での電子ビームの濃度が高くなって, ビーム幅を広くしようとする走査の中心が大きい谷間になってしまう.

新しい走査の方法は走査信号の正弦波を変調するものである. 変調度が大きくなる程電子ビームの濃度は走査幅の間で平坦化されてくる. このように変調を用い, 種を使う方法によって幅  $4\ \text{mm}$  での再結晶化に成功しており, 高速 SOI 製作における電子ビームの可能性を示すものとして注目される.

## 8. 結 び

光学リソグラフィの限界を破るものとしてX線転写技術が0.25~0.5ミクロンを見ざして開発が進められている。しかし産業のイナシーヤは大きいから量産プロセスがX線に移るにはまだ相当の時間が必要のようである。

一方SOI技術は一方ではICの立体化、三次元化に寄与すると共にいま一つの分野として大面積ディスプレイに可能性をもっている。これはメモリーの需要の開拓とも合せて新しい分野となり得ると考えられ新しいガラスの大きい需要になり得ると考えられる。

(昭和61年3月11日講演)

### (参 考 文 献)

- 1) Y. Inoue, T. Murotani, Y. Fukuzoh, K. Hayano, T. Fujii, K. Nakamura, & M. Kikuchi: An 85 ns 1 Mb DRAM in plastic DIP, 1985 ISSCC, FAM 17.1, p. 238 (1985)
- 2) M. Kumanoya, K. Fujishima, K. Tsukamoto, Y. Nishimura, K. Saito, T. Matsukawa, T. Yoshihara & Nakano: A 90 ns 1 Mb DRAM with Multi-Bit Test Mode, *ibid*, FAM 17.2, p. 240 (1985)
- 3) R. Taylor & M. Johnson: A 1 Mb DRAM with Divided Bitline Matrix Architecture, *ibid*, 17.3, p. 252 (1985)
- 4) F. Horiguchi, Y. Itoh, H. Iizaki, M. Ogura & F. Masuoka: A 1 Mb DRAM with a Folded Capacitor Cell Structure, *ibid*, FAM 17.4, p. 244 (1985)
- 5) H. L. Kalter, P. Coppers, W. Ellis, J. Fitfield, D. Kokozuka, T. Leasure, C. Miller, Q. Nguyen, R. Papnitz, C. Patton, M. Poplawski, S. Toma, shot & V. van der Hoeen: An Experimental 80 ns 1 Mb DRAM with Fast Page Operation, *ibid*, FAM 17.6, p. 248 (1985)
- 6) Y. Takemae, T. Ema, M. Nakano, F. Baba, T. Yabu, K. Miyasaka & K. Shirai: A 1 Mb DRAM with 3-Dimensional Stacked Capacitor Cells, *ibid*, FAM 17.7, p. 250 (1985)
- 7) S. Saito, S. Fujii, Y. Okada, S. Sawada, S. Shinozaki, K. Natori & O. Ozawa: A 1 Mb CMOS DRAM with Fast Page and Static Column Modes. *ibid*, FAM 17.8, p. 252 (1985)
- 8) K. Sato, H. Kawamoto, K. Yanagisawa, T. Matsumoto, S. Shimizu & R. Hori: A 20 ns Static Column 1 Mb DRAM in CMOS Technology, *ibid*, FAM 17.9, p. 254 (1985)
- 9) H. C. Kirsch, D. G. Clemons, S. Davar, J. E. Haman, C. H. Holder, Jr, W. F. Hunsicker, F. J. Procyk, J. H. Stefany, D. S. Yaney & J. B. Petrizzi: A 1 Mb CMOS DRAM, *ibid*, FAM 17.10, p. 256 (1985)
- 10) K. Ohta, K. Yamada, K. Shimizu & Y. Tarui: Quadruply Self-Aligned Stacked High-Capacitance RAM Using Ta<sub>2</sub>O<sub>5</sub> High-Density VLSI Dynamic Memory, IEEE Transactions on Electron Devices, Vol. ED-29, No. 3, p. 368 (1985)
- 11) K. Yamagishi, J. Hidaka & Y. Tarui: 昭和60年度電子通信学会総合全国大会, 1-326
- 12) C. Hashimoto & H. Oikawa: Leakage-Current Reduction in Thin Ta<sub>2</sub>O<sub>5</sub> Films Using High Purity Ta Target, Ext. Abs. of the 17th Conf. on Solid State Devices & Mat. p. 275 (1985)
- 13) H. Shichjo, S. D. S. Malhi, A. H. Shah, G. P. Pollack, W. F. Richardson, M. Elahy, S. Banerjee, R. Womack & P. K. Chatterjee: A New SOI DRAM Gain Cell for Mbit DRAM's, Ext. Abs. of the 16th Conf. on Solid State Device & Mat., p. 265 (1984)
- 14) H. Shichijo, S. D. S. Malhi, W. F. Richardson, G. P. Pollack, A. H. Shah, L. R. Hite, S. K. Banerjee, M. Elahy, R. Sundaresan, R. H. Womack, H. W. Lam & P. K. Chatterjee: Polysilicon Transistors in VLST MOS Memories, IEDM Dig. of Tech. Papers, p. 228 (1984)
- 15) S. D. S. Malhi, H. Shichijo, S. K. Banerjee, R. Sundaresan, M. Elahy, G. P. Pollack, W. Richardson, A. H. Shah, L. R. Hite, R. H. Womack P. K. Chatterjee & H. W. Lam: Characteristics and Three-Dimensional Integration of MOSFET's in Small-Grain LPCVD Polycrystalline Silicon, IEEE Transactions on Electron Devices, Vol. ED-32, No. 2, p. 258 (1985)
- 16) 吉崎, 内堀, 小森, 目黒: 書き込み用 FET を SiO<sub>2</sub> 上に作った 256 k の CMOS EPROM, 日経マイクロデバイス, 8月号, p. 73 (1985)
- 17) T. Sameshima, M. Sekiya & S. Usui: XeCl Excimer Laser Annealing Used in the Fabrication of Poly-Si TETs, Final Prog. & Late News Abs. of the 17th Conf. on Solid State Devices & Mat, p. 12 (1985)
- 18) K. Yamazaki, N. Yoshii, S. Ogawa, S. Akiyama & Y. Terui: Homogeneous Recrystallization of Si Islands through Wafer by Dual Laser Beam Irradiation, Ext. Abs. of the 17th Conf. on Solid State Devices & Mat., p. 155 (1985)
- 19) K. Egami: Crystallographic Orientation Control of 3D/SOI by Unseeded Recrystallization, Proceed. of Fourth Symposium on Future

Electron Devices, p. 191 (1985) (次世代産業基  
盤技術)

- 20) M. Ohkura, Kusakawa, H. Sunami & T. To-  
fzyama: Orientation Controlled SOI by Line-  
Shaped Laser-Beam Seeded Lateral Epit axy  
for CMOS stacking, Ext. Abs. of the 17th  
Conf. on Solid State Devices & Mat., p. 143  
(1985)
- 21) S. Horita & H. Jshiwara: Recrystallization  
of SOI Structure by a 2-Dimensionally Scan-  
ned Pseudo-Line Electron Beam, Ext. Abs.  
of the 17th Conf. on Solid State Devices &  
Mat., p. 131 (1985)
- 22) T. Hamasaki, T. Inoue, I. Higashinakagawa,  
T. Yoshii, M. Kashiwagi & H. Tango: Am-

plitude Modulated Pseudo-Line Electron Be-  
am Recrystallization for Large Area SOI  
Growth, Ext. Abs. of the 17th Conf. on  
Solid State Devices & Mat., p. 135 (1985)

[著者紹介]



垂井康夫 (たるいやすお)  
早稲田大学卒、電子技術総合  
研究所半導体デバイス研究室  
長、超 LSI 技術研究組合共  
同研究所長をへて昭和 56 年  
より現職、